

ARITMETIČNA-LOGIČNA ENOTA Z ZAPOREDNO LOGIKO ZA IZRAČUN UTEŽNE VSOTE S PROGRAMIRNIMI VEZJI

Davorin Osebik¹, Rudolf Babič¹, Kosta Kovačič²

¹Univerza v Mariboru, Fakulteta za elektrotehniko, računalništvo in informatiko, Maribor, Slovenija

²IDS d.o.o., Ljubljana, Slovenija

Ključne besede: digitalna obdelava signalov, nerekurzivna digitalna sita, aritmetično-logična enota, koncentrirana aritmetika, zaporedna aritmetika, implementacija, programirna vezja

Izvleček: V članku je opisana izvedba aritmetično-logične enote z zaporedno logiko za sprotno določitev utežne vsote implementirane v programirna vezja (FPGA). Aritmetično logično enoto lahko uporabimo pri načrtovanju in izvedbi digitalnih FIR sit. Celotna struktura sita ima modularno zasnovano, ki podpira enostavno razširitev digitalnega FIR sita glede na poljubno število koeficientov. Zgradba modulov temelji na uporabi zaporedne logike za izvajanje aritmetičnih operacij. Pri načrtovanju smo se omejili na 16-bitni zapis vhodno-izhodnega signala digitalnega FIR sita. Načrtovanje digitalnega FIR sita z opisano aritmetično logično enoto za izračun utežne vsote koeficientov zagotavlja majhno aparaturno kompleksnost in linearno naraščanje aparaturne kompleksnosti sita glede na število koeficientov. FIR sito je zasnovano tako, da se lahko uporabi kot samostojno vezje. Opisana aritmetično logična enota v sistemu digitalnega FIR sita omogoča sproten vnos koeficientov v času med dvema vzorcema vhodnega signala, zato jo lahko uporabimo tudi kot FIR enoto v sistemu adaptivnega sita. Za načrtovanje aritmetično-logične enote in njene uporabe pri izvedbi digitalnih FIR sit smo uporabili programski paket Xilinx ISE 6.1 WebPack, ki podpira vnos, sintezo vezja in implementacijo v programirna vezja. Izbrali smo programirno vezje XC3S-400, družine Spartan, firme Xilinx. Vanj smo implementirali digitalna FIR sita z 8, 16, 32 in 64 koeficienti. Simulacijo digitalnega FIR sita smo opravili s programskim paketom ModelSim. Pri tem smo na osnovi rezultatov simulacije ugotovili, da lahko pri 16-bitnem zapisu vhodnega signala, dosežemo frekvenco vzorčenja 4.4 MHz.

Arithmetic Logic Unit for Weighted Sum Calculation with Programmable Logic Cell Array

Key words: digital signal processing, FIR filter, arithmetic logic unit, concentrated arithmetic, serial arithmetic, VHDL, implementation, FPGA.

Abstract: In this article the design of the arithmetic logic unit with serial arithmetic procedure for weighted sum calculation and programmable logic cell array implementation is presented. This arithmetic logic unit is especially intended for adaptive FIR digital filter realization because all the coefficients of the digital filter can be changed simultaneously between two input samples. FIR digital filter with proposed arithmetic logic unit with serial arithmetic is shown in Fig. 3. It can be designed in the modular structure (Fig. 5) that allows the whole system to be expanded to any number of coefficients with minimal effort. The previous realizations of digital filters in programmable circuits were focused on reduction of the complexity of the hardware realization /5/. The idea that stands behind the serial arithmetic structure is the reduction of hardware implementation complexity. It is shown that the hardware complexity increases linearly with the number of coefficients used (Table 1 and Fig. 8).

The FIR digital filter in the modular structure consists of N cells. One cell of the modular structure is elementary arithmetic block (Fig. 4) and consists of serial multiplier (Fig. 6), serial adder (Fig. 7) and FIFO register.

The filter has been designed in the Xilinx ISE 6.1 environment. The basic units, serial multiplier, serial adder and FIFO register of digital filter structure is designed with VHDL. The Xilinx schematic editor was used for connections between basic units. The test application is made with FIR digital filter of 16 coefficients and a 16-bit quantization of input and output signal. The Xilinx FPGA circuit XC3S-400 is used for implementation of FIR digital filter structures with 8, 16, 32 and 64 taps. The 64 taps FIR digital filter occupy only 72 % of input output blocks (IOB) and 78 % of slices of the whole XC3S-400 circuit used for this application. At 71 MHz clock frequency a sample frequency of input-output signal of 4.4 MHz has been obtained. The processing of one output signal sample needs 16 clock pulses.

1. Uvod

Programirna vezja so zanimiva za implementacijo digitalnih FIR sit, kjer izračun izhodnega otipka poteka brez uporabe zunanjega pomnilnika, za zapis delnih vsot koeficientov /1/. Struktura digitalnega FIR sita, ki uporablja aritmetično-logično enoto z zaporedno logiko za izračun utežne vsote, omogoča vpis vektorja koeficientov v času med dvema otipkoma vhodnega signala. FIR sita s takšno aritmetično-logično enoto so zanimiva v sistemih adaptivnih digitalnih FIR sit, kjer se koeficienti dinamično spreminjajo. Pri načrtovanju struktur digitalnih FIR sit, ki omogočajo

vnos koeficientov v času med dvema otipkoma, ločimo strukture s porazdeljeno aritmetiko /1, 2/ in strukture s koncentrirano aritmetiko /3/. Obe strukturi je možno implementirati v eno programirno vezje, če uporabimo načrtovalske postopke, ki zmanjšajo aparaturno kompleksnost izvedbe. Aparaturna kompleksnost je odvisna od načina implementacije diskretnega sistema. Pri povsem strojni implementaciji je aparaturna kompleksnost diskretnega sistema v glavnem odvisna od števila množilnikov za izračun izhodnega signala /4/. Zaradi tega je uporabljeno število množilnikov za implementacijo nekega sistema najpomembnejši parameter aparaturne kompleksnosti. Drugi kriterij

pri implementaciji diskretnih sistemov je zahteva po pomnilniku. Velikost potrebnega pomnilnika je odvisna od potrebnega števila lokacij za shranjevanje notranjih spremenljivk diskretnega sistema. Kot tretji kriterij računske kompleksnosti omenimo zbiranje in razmeščanje podatkov znotraj strukture. Zadnji, četrti kriterij pa je vpliv končne dolžine besede na čas izračuna izhodne vrednosti. Vse štiri opisane kriterije smo upoštevali pri izbiri strukture digitalnega FIR sita in pri njegovi implementaciji v programirno vezje.

Pokazali bomo, da je možno z upoštevanjem vseh naštetih kriterijev v eno programirno vezje družine Spartan-3 ob uporabi 16-bitne aritmetike in 16-bitne kvantizacije vhodnih signalov, implementirati digitalno FIR sito s 100 koeficienti. Osnovno strukturo nerekurzivnega digitalnega FIR sita opišemo s konvolucijsko enačbo, ki jo opišemo tudi kot utežno vsoto,

$$y = \mathbf{h}\mathbf{u}^T = \sum_{n=0}^{N-1} h_n u_n. \quad (1)$$

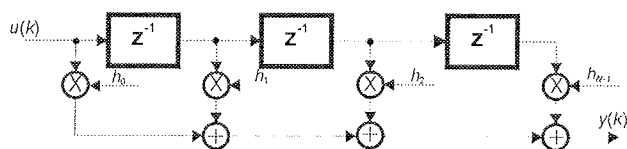
V konvolucijski enačbi je vektor koeficientov \mathbf{h} digitalnega FIR sita določen s komponentami, $\mathbf{h}=[h_0, h_1, \dots, h_{N-1}]$, in vektor koeficientov vhoda s komponentami, $\mathbf{u}=[u_0, u_1, \dots, u_{N-1}]$. Izvedbe digitalnih FIR sit so bile vedno povezane z iskanjem postopkov za zmanjšanje kompleksnosti algoritma, saj pomeni direktna izvedba enačbe (1) N množenj in N seštevanj za izračun otipkov izhodnega signal. Očitno je, da kompleksnost izračuna izhodnega otipka narašča z uporabljenimi kvantizacijo vektorja koeficientov digitalnega FIR sita \mathbf{h} in vektorja koeficientov vhoda \mathbf{u} . Aparaturna kompleksnost digitalnega FIR sita narašča z večanjem števila koeficientov. Za implementacijo enačbe (1), bi bilo ugodno poiskati takšno strukturo digitalnega FIR sita, kjer bo aparaturna kompleksnost s kvantizacijo vhodno-izhodne besede in s številom koeficientov čim počasneje naraščala..

Znani pristop zmanjšanja potrebnih aritmetičnih operacij je uporaba aritmetično-logične enote na osnovi porazdeljene aritmetike, kjer se delne vsote koeficientov izračunajo vnaprej in se zapišejo v posebni pomnilnik /5/. Tako se potrebne operacije za izračun izhodnega signala $y(k)$ omejijo na seštevanje in deljenje z dve. Žal pa takšne strukture ni možno uporabiti v sistemih adaptivnih digitalnih FIR sit, saj se v teh sistemih koeficienti dinamično spreminjajo. Rešitev je uporaba enote za sproten izračun koefi-

cientov, ki je aparaturno najkompleksnejši del pri izvedbi digitalnega FIR sita v strukturi porazdeljene aritmetike /8/.

Klasični način implementacije aritmetično-logične enote za izračun utežne vsote temelji na strukturi koncentrirane aritmetike. V strukturi koncentrirane aritmetike ločimo dve obliki nerekurzivnih digitalnih sit. Prva je struktura s porazdeljenimi seštevalniki, ki jo prikazuje slika 1.

Druga struktura digitalnega FIR sita je izvedba z enim globalnim seštevalnikom. Blokovno shemo prikazuje slika 2.

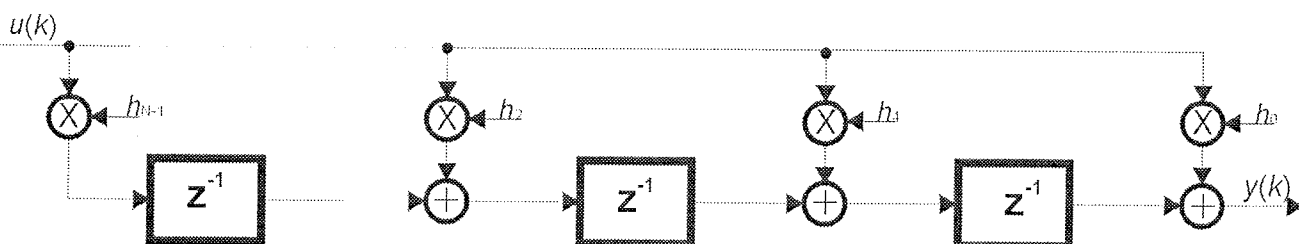


Slika 2: Nerekurzivno digitalno sito v strukturi koncentrirane aritmetike s skupnim globalnim seštevalnikom

Fig. 2: The FIR digital filter structure in concentrated arithmetic with a global adder

Strukturo digitalnega FIR sita v koncentrirani aritmetiki s porazdeljenimi seštevalniki je enostavneje implementirati v programirno vezje. V programirni vezji je enostavneje realizirati večje število zaporednih seštevalnikov, kot pa globalen seštevalnik. Poleg tega je struktura s porazdeljenimi seštevalniki tudi primernejša za modularno zgradbo nerekurzivnega digitalnega sita, kjer je možno enostavno povečati število uporabljenih koeficientov. Podana struktura nerekurzivnega digitalnega sita s slike 1 zadosti drugemu kriteriju o zahtevi po pomnilniku in tretjemu kriteriju o zbiranju in razmeščanju podatkov znotraj strukture. Pri uporabi strukture z globalnim seštevalnikom je potrebno za povečanje stopnje nerekurzivnega digitalnega sita spremeniti celotno strukturo globalnega seštevalnika.

Postopek implementacije nerekurzivnega digitalnega sita v programirno vezje omogoča pomembno zmanjšanje aparaturne kompleksnosti izvedbe aritmetičnih operacij. Pri tem se število potrebnih aritmetičnih operacij ne spremeni. Za zmanjšanje aparaturne kompleksnosti aritmetičnih operacij uporabljenih v nerekurzivnem digitalnem situ smo uporabili zaporedno logiko /7/. Vse spremenljivke so zapisane na bitnem nivoju. Takšen zapis omogoča zmanjšanje aparaturne kompleksnosti implementacije enot za izvaja-



Slika 1: Nerekurzivno digitalno sito v strukturi koncentrirane aritmetike s porazdeljenimi seštevalniki

Fig. 1: The FIR digital filter structure in concentrated arithmetic with a distributed adder

nje aritmetično-logičnih operacij. Princip je podoben cevljenju, ki ga poznamo pri mikroprocesorjih. Ideja je v tem, da se zahtevna operacija razbije na več enostavnih, katere pa lahko tečejo hitreje. Z enostavno implementacijo več enakih struktur za izvajanje aritmetičnih operacij dosežemo njihovo sočasno izvajanje. Zaradi sočasnega izvajanja aritmetično-logičnih operacij je izračun otipka izhodnega signala odvisen samo od dolžine zapisa B_u vhodne besede $u(k)$.

2. Izvedba aritmetično-logičnih operacij z zaporedno logiko

Za ponazoritev izvedbe aritmetično-logičnih operacij z zaporedno logiko vzemimo izračun produkta po enačbi (1) med vektorjem koeficientov \mathbf{h} nerekurzivnega digitalnega sita z N koeficienti in vektorjem vhodnega signala \mathbf{u} .

V enačbi sta vektorja \mathbf{h} in \mathbf{u} dimenzije N . Za izračun otipka izhodnega signala $y(k)$ potrebujemo N množenj. Če so vrednosti komponent vektorja množitelja u_n omejene na intervalu $[-1, 1]$, jih lahko zapišemo v binarni obliki z dvojiškim komplementom.

$$u_n = -b_{n,0} + \sum_{i=1}^{B_u} b_{n,i} 2^{-i} \quad n = 0, 1, \dots, N-1 \quad (2)$$

V enačbi (2) je z B_u določena dolžina binarne besede za zapis vrednosti u_n , z $b_{n,i}$ so označene binarne spremenljivke, ki zavzemajo le vrednosti 0 ali 1. Predznak določa prvi najbolj utežen bit $b_{n,0}$, b_{n,B_u-1} pa je najmanjši utežni

bit. Z uporabo binarnega zapisa spremenljivke u_n v enačbo (1) zapišemo z,

$$y = \sum_{n=0}^{N-1} h_n \left(-b_{n,0} + \sum_{i=1}^{B_u-1} b_{n,i} 2^{-i} \right). \quad (3)$$

Z zamenjavo vrstnega reda seštevanj dobimo izraz, ki omogoča izračun skalarnega produkta dveh vektorjev \mathbf{h} in \mathbf{u} na drugačni osnovi. Iz enačbe (3) zapišemo izraz za delne produkte p_n med komponentami vektorja koeficientov vhodna u_n in komponentami vektorja koeficientov sita h_n ,

$$p_n = \sum_i^{B_u} h_n b_{n,i} \quad n = 0, 1, \dots, N-1, \quad (4)$$

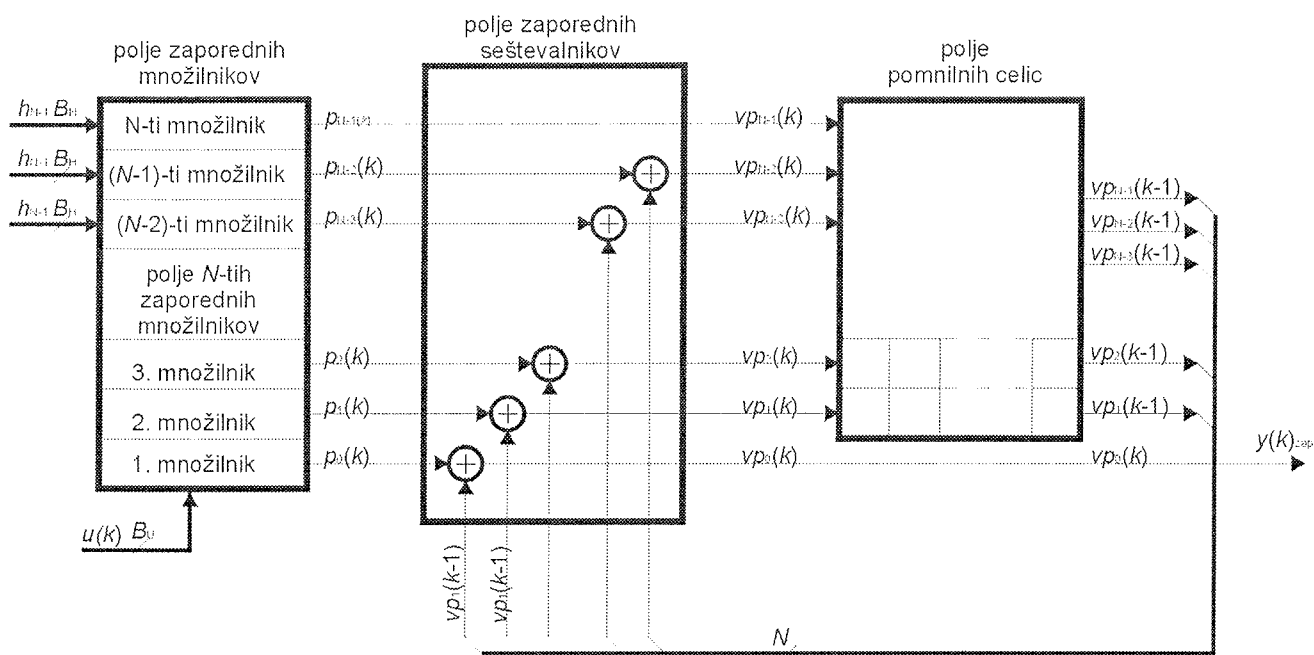
in izraz za izračun delnih vsot produktov vp_n vsot iz delnih produktov p_n ,

$$vp_n = p_n + \frac{1}{2} p_{n+1} \quad n = 0, 1, \dots, N-1. \quad (5)$$

Izračun utežne vsote med vektorjema \mathbf{h} in \mathbf{u} je,

$$y = \mathbf{h} \mathbf{u}^T = \sum_{n=0}^{N-1} vp_n. \quad (6)$$

Izraz (6) predstavlja tudi izračun izhodne vrednosti nerekurzivnega digitalnega sita z N koeficienti na zasnovi MAC (Multiply and Accumulate) strukture. Na osnovi podanih enačb (4), (5) in (6) smo načrtali nerekurzivno sito v strukturi koncentrirane aritmetike s porazdeljenimi seštevalniki.



Slika 3: Povezava treh osnovnih enot nerekurzivnega digitalnega sita v strukturi koncentrirane aritmetike s porazdeljenimi seštevalniki

Fig. 3: Tree structure of FIR digital filter in concentrated arithmetic with distributed adder

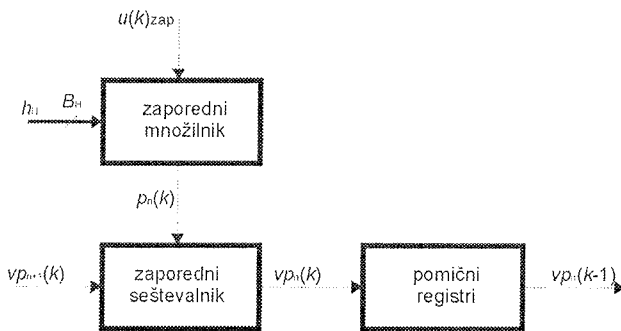
Strukturo nerekurzivnega digitalnega sita smo organizirali tako, da smo pri njeni implementaciji uporabili zaporedno logiko za izvajanje aritmetično-logičnih operacij. Shematsko povezavo treh glavnih enot nerekurzivnega digitalnega sita v strukturi koncentrirane aritmetike s porazdeljenimi seštevalniki, prikazuje slika 3.

Digitalno FIR sito v strukturi koncentrirane aritmetike s porazdeljenimi seštevalniki sestavljajo tri glavne enote: polje zaporednih množilnikov, polje zaporednih seštevalnikov in polje pomnilnih celic.

Tako organizirana struktura digitalnega FIR sita je osnova za implementacijo v programirno vezje.

3. Uporaba zaporedne logike za izvajanje aritmetično-logičnih operacij pri implementaciji digitalnega FIR sita

Namesto povezave osnovnih enot, ki določajo strukturo digitalnega FIR sita s slike 3, lahko strukturo digitalnega FIR sita prikažemo in opišemo tudi kot povezavo posameznih celic, ki vsebujejo zaporedni množilnik, zaporedni seštevalnik in pomični register. Blokovno shemo celice prikazuje slika 4.



Slika 4. Blokovna shema celice nerekurzivnega digitalnega sita

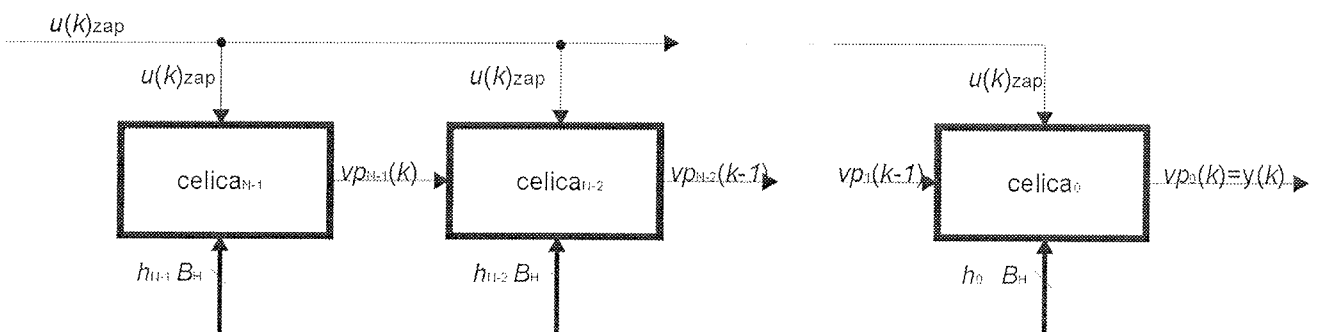
Fig. 4: The cell block scheme of FIR digital filter

Zaradi uporabe zaporedne logike za izvajanje aritmetično-logičnih operacij pri implementaciji nerekurzivnega digitalnega sita, je struktura celice simbolno prikazana z eno vrstico povezave polja zaporednih množilnikov, zaporednih seštevalnikov in polja pomičnih registrov s slike 3. To smo storili zaradi preglednosti in enostavne razširitve nerekurzivnega digitalnega sita na poljubno število koeficientov. Blokovno shemo strukture digitalnega sita zgrajeno z povezavo N celic prikazuje slika 5.

Struktura digitalnega FIR sita je sedaj sestavljena iz N enakih gradnikov, ki smo jih poimenovali celice in jih označili z zaporednim številom koeficienta digitalnega FIR sita. Pri tem je z vrednostjo 0 označena celica prvega koeficienta, z vrednostjo $N-1$ pa je označena celica zadnjega koeficienta. Podana zaporedna vezava enakih celic digitalnega FIR sita poenostavi implementacijo FIR sita v programirna vezja, prav tako tudi poenostavi razširitev digitalnega FIR sita na poljubno število koeficientov. Ta oblika strukture digitalnega FIR sita omogočil, da krmilni del sita, ki skrbi za pravilne prenose vmesnih rezultatov in za brisanje registrov ostane popolnoma nespremenjen.

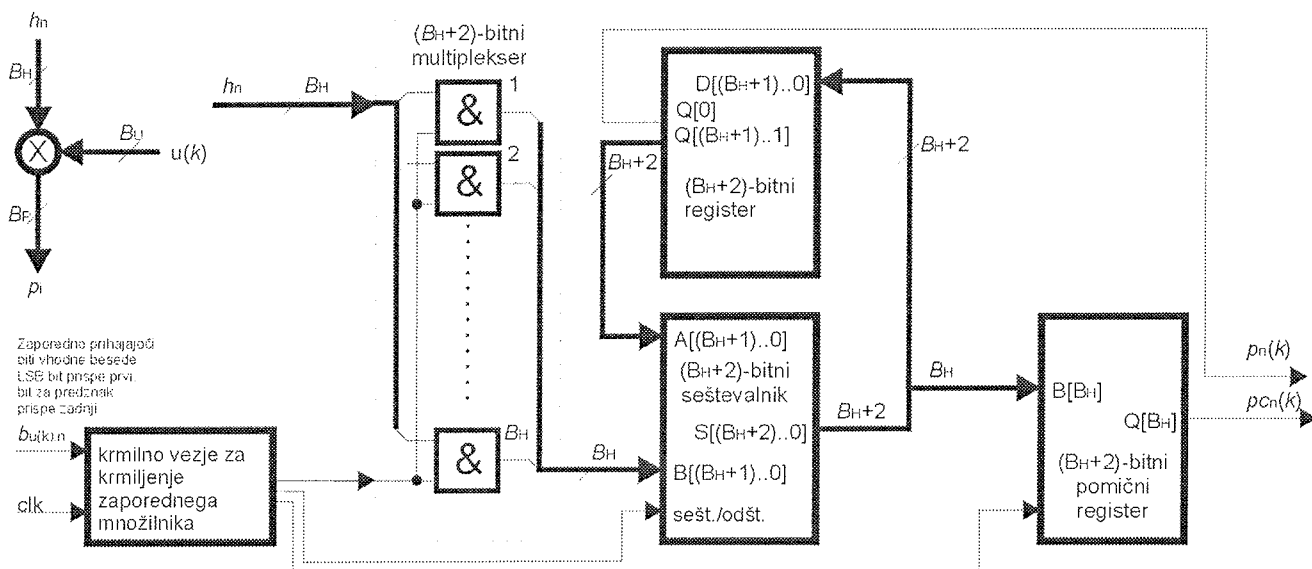
Struktura digitalnega FIR sita z uporabo celic, je v celoti načrtana z uporabo zaporedne logike za izvajanje aritmetično-logičnih operacij. Ugotovimo lahko, da je digitalno FIR sito, prikazano na sliki 5, sestavljeno z N celicami. Le za prvo in zadnjo celico smo uporabili drugačno zasnovo. Prvo celico ($celica_0$) smo načrtali brez zaporednega seštevalnika, zadnjo celico ($celica_{N-1}$) smo načrtali brez pomičnega registra.

Najkompleksnejši element celice s slike 4 je zaporedni množilnik, ki opravlja produkt med otipki vhodnega signala $u(k)$ in komponentami $h_n(k)$ vektorja koeficientov nerekurzivnega digitalnega sita. Vhodni signal množitelja $u(k)$ digitalnega sita je zapisan v zaporedni obliki z dvojiškim komplementom, in ga podaja enačba (2). Signal množenca $h_n(k)$ koeficienta digitalnega sita je zapisan v vzporedni obliki. Vrednost vmesnega produkta $p_n(k)$ se izračuna po enačbi (4) z zaporednim množilnikom.



Slika 5: Medsebojna povezava N celic nerekurzivnega digitalnega sita

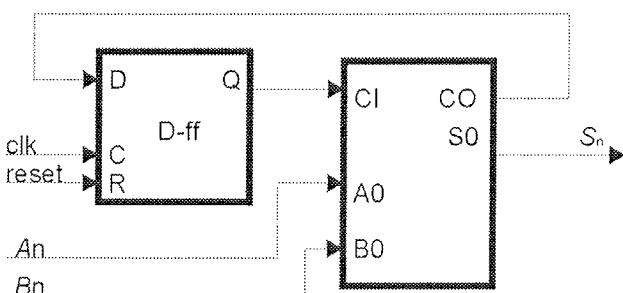
Fig. 5: The cell structure of the digital FIR filter



Slika 6: Blokovna shema zaporednega množilnika
Fig. 6: Serial multiplier block scheme

Takšna izvedba množilnikov z zaporednim izvajanjem množenja dveh spremenljivk $h_n(k)$ in $u(k)$ močno zmanjša aparatno kompleksnost celotnega vezja. Pri iterativnem deljenju z 2 ostane na izhodu $Q[0]$ bitnega registra, dolžine B_{H+2} , vrednost ostanka $p_o(k)$, ki je dolžine B_U bitov. Ta ostanek je v zaporedni obliki, zato ima prikazani zaporedni množilnik na sliki 6 za izhodno vrednost zmnožka $p_m(k)$ dva izhoda: izhod utežnega dela besede $p_n(k)$ dolžine B_H bitov in izhod najmanj utežnega dela besede $p_{om}(k)$ dolžine B_U bitov. Za končno vrednost delnega produkta smo uporabili le zgornjih 16 bitov. Podana oblika zaporednega množilnika potrebuje le en seštevalnik, multiplexer dolžine B_H bitov, ki ga sestavlja polje B_H dvovhodnih IN vrat in zadrževalnik vmesnih vsot. Za krmiljenje zaporednega množilnika digitalnega FIR sita skrbi krmilno vezje.

Drugi element celice je zaporedni seštevalnik, ki izračuna vrednost delne vsote $vp_n(k)$ po enačbi (5). Blokovno shemo zaporednega seštevalnika prikazuje slika 7.



Slika 7: Blokovna shema zaporednega seštevalnika
Fig. 7: Serial adder block scheme

Na sliki 7 je prikazan zaporedni seštevalnik ima dva vhoda. Na vhod A_n je pripeljemo n -to komponento delnega produkta $p_n(k)$ in na vhod B_n pripeljemo n -to komponenta delnega

produkta $p_{n+1}(k)$, ki se iterativno deli z dve, kot to opisuje izraz (5). Izhod S_n predstavlja novo izračunano vrednost vsote delnega produkta vp_n .

Tretji sestavni del celice, prikazane na sliki 4, je pomični register (FIFO). Sestavljen je iz D pomnilnih celic velikosti B_U -bitov.

Poleg treh opisanih enot celice, je za delovanje sita potrebno še uporabiti enoto za sinhronizacijo in enoto za vpis koeficientov. Za znižanje cene končnega izdelka pa je potrebno imeti v mislih čim manjše število uporabljenih priključkov, s tem bo tudi zunanji vmesnik programirnega vezja manjši.

Ob inicializaciji programirnega vezja, je vanj potrebno vpisati vektor koeficientov digitalnega FIR sita h . Struktura nerekurzivnega digitalnega sita pa se lahko preuredi tudi tako, da so koeficienti zapisani že v samem čipu, če aplikacija ne zahteva spreminjanja koeficientov. Čas vnosa koeficientov namreč podaljša inicializacijo nerekurzivnega digitalnega sita za 16 period signala ure. Takšna struktura nerekurzivnega sita omogoča prilagajanje sita uporabljeni aplikaciji. Pri uporabi nerekurzivnega digitalnega v adaptivnem sistemu je možen sproten vnos koeficientov.

Načrtovanje sita je potekalo s programskim paketom ISE 6.0 podjetja Xilinx. Na najvišjem nivoju je potekalo načrtovanje na osnovi shematskega vnosa z načrtovalskim orodjem Xilinx ECS (Engineering Capture System). V jeziku VHDL je potekalo načrtovanje zaporednega množilnika, FIFO registrov in zaporednih seštevalnikov.

4. Rezultati

Implementacijo digitalnega nerekurzivnega digitalnega sita v programirno vezje smo opravili s pomočjo programskega

razvojnega orodja ISE 6.1 podjetja Xilinx. Za testno aplikacijo digitalnega FIR sita smo uporabili 16 koeficientov s 16-bitno kvantizacijo. Prav tako smo vhodno-izhodno besedo zapisali s 16-bitno kvantizacijo. Na osnovi simulacijskih rezultatov dobljenih s programom ModelSim smo ugotovili, da znaša največja frekvenca osnovnega signala ure 71MHz. Za procesiranje enega otipka potrebujemo 16 period osnovnega urinega signala, kar omogoča frekvenco vzorčenja 4.4MHz.

Odvisnost linearnega naraščanja strukture digitalnega FIR sita od stopnje sita, smo preverili z implementacijo štirih različnih stopenj digitalnih FIR sit v programirno vezje XC3S-400 firme Xilinx /9/. Vezje je družine Spartan-3 s sistemom 400k vrat kar ustreza 8,064 logičnim celicam. Velikost matrike konfiguracijskih logičnih celic (CLBs Configurable Logic Blocks) je dimenzije 32x28, kar zneso 896 konfiguracijskih logičnih celic. Vsaka celica zaseda v strukturi programirnega vezja štiri rezine (Slices). Uporabljeno programirno vezje XC3S-400 s 3584 rezinami je eno manjših v družini Spartan-3. Ta družina vsebuje vezja od 50k vrat do 5M vrat, kar je od 200k do 20M rezin (Slices).

Implementacijo smo izvedli za sita z 8, 16, 32 in 64. koeficienti. V tabeli 1 je podana zasedenost programirnega vezja glede na število vhodno izhodnih priključkov (IOB) in število uporabljenih rezin (Slices). Pri vseh digitalnih FIR sitih smo uporabili 16-bitno kvantizacijo vhodno-izhodne besede.

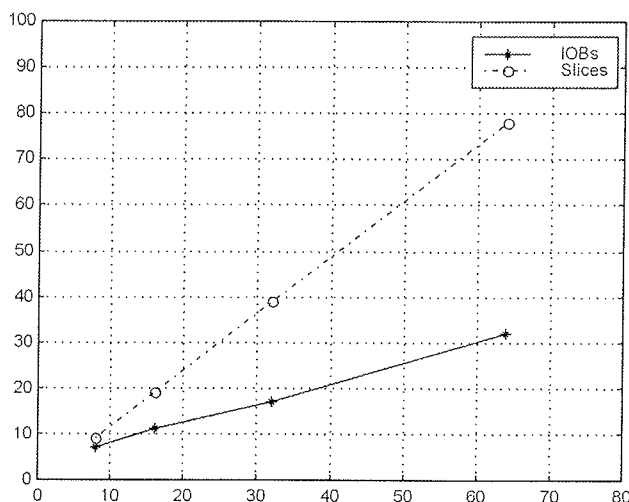
Tabela 1: Zasedenost programirnega vezja XC3S-400 pri implementaciji digitalnega FIR sita z 8, 16, 32 in 64. koeficienti

Table 1: The programmable FPGA device XC3S-400 utilization for 8, 16, 32 and 64 taps digital FIR filter

število koeficientov	8	16	32	64
število vhodno-izhodnih priključkov (IOBs) (max 221)	16 (7%)	25 (11%)	39 (17%)	72 (32%)
število rezin (Slices) (max 3584)	349 (9%)	702 (19%)	1407 (39%)	2829 (78%)

Na sliki 8 podajamo odvisnost zasedenosti programirnega vezja XC3S-400 glede na število vhodno-izhodnih priključkov in glede na število uporabljenih rezin (Slices) v odvisnosti od stopnje sita. Izbrali smo digitalna FIR sita z 8, 16, 32 in 64. koeficienti.

Iz slike 8 vidimo, da zasedenost programirnega vezja narašča praktično linearno s stopnjo digitalnega FIR sita. Zasedenost programirnega vezja XC3S-400 pri implementaciji digitalnega FIR sita s 64. koeficienti in 16-bitno vhodno-izhodno besedo znaša 78% strukture in 72% vhodno-izhodnih priključkov uporabljenega programirnega vezja XC3S-400. V večja programirna vezja družine Spartan 3 pa lahko brez težav implementiramo nerekurzivna digitalna sita z več kot 100 koeficienti.



Slika 8: Odvisnost zasedenost programirnega vezja XC3S-400 od stopnje sita pri implementaciji digitalnega FIR sita z 8, 16, 32 in 64. koeficienti

Fig. 8: The programmable FPGA device XC3S-400 utilization for 8, 16, 32 and 64 taps digital FIR filter

Takšno izvedbo aritmetične logične enote za izračun utežne vsote in njeno uporabo v digitalnih FIR sitih lahko izvedemo FIR sita s 100 koeficienti le z enim programirnim vezje družine Spartan-3.

5. Zaključek

V prispevku smo opisali aritmetično-logično enoto z zaporedno logiko za izračun utežne vsote s programirnimi vezji. Opisano aritmetično-logično enoto smo uporabili pri implementaciji digitalnega FIR sita. Podrobno smo opisali strukturo aritmetične-logične enote, pri katerem smo uporabili zaporedno logiko za izvajanje aritmetičnih operacij. V ta namen smo razvili zaporedni množilnik, kjer je množitelj podan v zaporedni obliki, množenec pa v vzporedni obliki. V nerekurzivnem digitalnem situ z N koeficienti smo uporabili N zaporednih množilnikov. Za implementacijo $N-1$ porazdeljenih seštevalnikov, smo uporabili zaporedne seštevalnike. Postopek načrtovanja je potekal s pomočjo programskega paketa Xilinx ISE 6.1 WebPack. Na najvišjem nivoju smo uporabili shematski vnos strukture, na najnižjih nivojih smo opisali posamezne enote v VHDL jeziku. S takšnim pristopom smo zelo dobro izkoristili strukturo programirnega vezja. Uporaba aritmetično logične enote za izračun utežne vsote v digitalnem FIR situ omogoča njegovo implementacijo v le eno programirno vezje družine Spartan-3 firme Xilinx. Takšna izvedba digitalnega FIR sita, ki omogoča vpis vseh koeficientov v času med dvema otipkoma vhodnega signala, je primerna za uporabo v adaptivnih sistemih. Opravili smo implementacijo štirih različnih stopenj digitalnega FIR sita v programirno vezje XC3S-400: z 8, 16, 32 in s 64. koeficienti. Pri vseh treh stopnjah smo uporabili 16 bitno kvantizacijo vhodno-izhodne besede.

Z ugotavljanjem odvisnosti med zasedenostjo programirnega vezja in stopnjo nerekurzivnega digitalnega sita smo pokazali, da zasedenost programirnega vezja narašča praktično linearno s številom koeficientov sita. Pokazali smo tudi, da zaseda implementacija digitalnega FIR sita s 64. koeficienti in 16 bitno kvantizacijo vhodno-izhodne besede 72% vhodno-izhodnih priključkov in 78% notranje strukture programirnega vezja XC3S-400. S tem smo tudi pokazali, da uporaba opisane aritmetične logične enote za izračun sprotne utežne vsote v digitalnem FIR situ, omogoča implementacijo digitalnih sit z 100 koeficienti v eno samo programirno vezje.

- /7/ Steve Knapp, FPGAs furnish fast, furious FIR filters, Personal Engineering and Instrumentation News, Vol. 15, No. 12, pp. 52-55, Dec. 1998.
- /8/ OSEBIK, DAVORIN, BABIČ, RUDOLF, SOLAR, MITJA. Adaptivna struktura s polji programirnih vezij za izvedbo nerekurzivnih digitalnih sit. Inf. MIDEEM, september 2003, letn. 33, št. 3(107), str. 170-1771
- /9/ Xilinx, Spartan-3 FPGA Family: Introduction and Ordering Information, Preliminary Product Specification, DS099-1 (v1.4) January 17, 2005
- /10/ Herman H. Schmit, Srihari Cadambi, Matthew Moe, Seth C. Goldstein, Pipeline Reconfigurable FPGAs, Journal of VLSI Signal Processing Systems 24, 129-146, 2000.

6. Literatura

- /1/ Kaluri, K.; Wen Fung Leong; Kah-Howe Tan; Johnson, L.; Soderstrand, M.; Implementation of Adaptive Control on an FPGA, Signals, Systems and Computers, 2001. FPGA Hardware implementation of an RNS digital FIR filter, Conference Record of the Thirty-Fifth Asilomar Conference on , Volume: 2 , 4-7 Nov. 2001 Page(s): 1340 -1344 vol.2
- /2/ Steve Knapp, FPGAs furnish fast, furious FIR filters, Personal Engineering and Instrumentation News, Vol. 15, No. 12, pp. 52-55, Dec. 1998
- /3/ Valls, J.; Sansaloni, T.; Peiro, M.M.; Boemo, E., Fast FPGA-based pipelined digit-serial/parallel multipliers, Circuits and Systems, 1999, ISCAS '99. Proceedings of the 1999 IEEE International Symposium on, Volume: 1, 30 May-2 June 1999 Pages: 482 - 485 vol.1
- /4/ Gregory Ray Goslin A guide to using field programmable gate arrays (FPGAs) for application-specific digital signal processing performance, Xilinx 1995, (Version 1.0)
- /5/ R. S. Grover, W. Shang, Q., A Faster Distributed Arithmetic Architecture for FPGAs, Tenth ACM International Symposium on Field Programmable Gate Arrays, Monterey, California, USA, February 24-26, 2002
- /6/ Rolf Enzler, Tobias Jeger, Didier Cottet and Gerhard Troster, High-Level Area and Performance Estimation of Hardware Building Blocks on FPGAs, R. W. Hartenstein and H. Grunbacher (Eds.) FPL 2000, pp. 512-534 2000, Springer-Verlag Berlin Heidelberg 2000

*mag. Davorin Osebik, tel (02) 220-7238,
e-mail: davorin.osebik@uni-mb.si*

*izr. prof. dr. Rudolf Babič, tel.: (02) 220-7230,
e-mail: rudolf.babic@uni-mb.si
Univerza v Mariboru
Fakulteta za elektrotehniko,
računalništvo in informatiko
Smetanova 17, 2000 Maribor
Tel.: (02) 220 7000, Fax (02) 251-1178*

*Kosta Kovačič univ. dipl. inž. el, tel: (01) 281 1183,
e-mail: kosta.kovacic@ids.si
IDS d.o.o., Sojerjeva 63, 1000 Ljubljana
Tel: (01) 281 1183, Fax: (01) 281 1184*

Prispelo (Arrived): 29.08.2005 Sprejeto (Accepted): 30.09.2005